

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-086900

(43)Date of publication of application : 31.03.1995

(51)Int.Cl.

H03K 17/687
H03F 1/02
H03F 3/68
H03H 11/28
H03K 17/16
H03K 19/0175

(21)Application number : 05-231872

(71)Applicant : FUJITSU LTD
FUJITSU VLSI LTD

(22)Date of filing : 17.09.1993

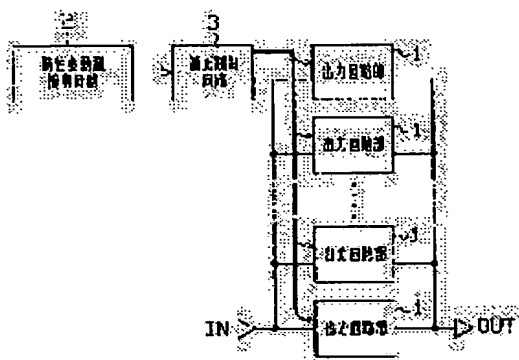
(72)Inventor : OI KENJI
MORITA HIROTAKE
ONO KAZUO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide a semiconductor device which contains an output circuit that has high performance and many functions with low power consumption.

CONSTITUTION: Plural pieces of output circuit parts 1 are connected in parallel to each other. A characteristic variance value detecting circuit 2 detects the characteristic variance value of the component elements of each part 1. A correction control circuit 3 controls the number of operating parts 1 based on the detecting result of the circuit 2. Thus the number of operating parts 1 is controlled based on the characteristic variance value of the component elements of each part 1. Thus, the sum total of output currents of parts 1 are fixed regardless of the characteristic variance of the component elements of the part 1. Then the ideal output current characteristic is always secured regardless of the characteristic variance of those component elements. Thus it is possible to reduce the noises that are caused by the flowing of an excessive output current. In addition, the through rate can be controlled by adjustment of the signal delay time of each part 1.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

Best Available Copy

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-86900

(43) 公開日 平成7年(1995)3月31日

(51) Int.Cl.⁹

識別記号

庁内整理番号

F I

技術表示箇所

H 0 3 K 17/687

H 0 3 F 1/02

3/68

7350-5 J

B

9473-5 J

8321-5 J

H 0 3 K 17/ 687

19/ 00

F

1 0 1 F

審査請求 未請求 請求項の数 7 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願平5-231872

(22) 出願日 平成5年(1993)9月17日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(71) 出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72) 発明者 大井 健次

愛知県春日井市高蔵寺町2丁目1844番2

富士通ヴィエルエスアイ株式会社内

(72) 発明者 森田 浩貴

愛知県春日井市高蔵寺町2丁目1844番2

富士通ヴィエルエスアイ株式会社内

(74) 代理人 弁理士 恩田 博宣

最終頁に続く

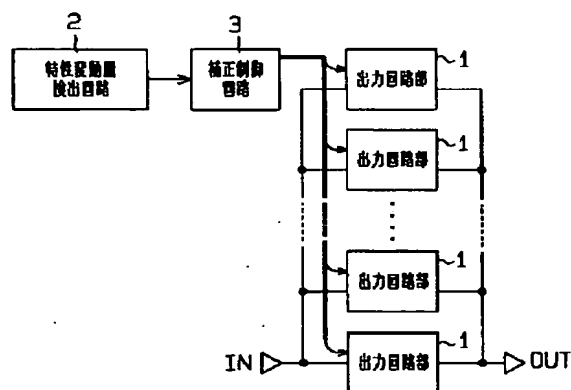
(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 高性能で多機能かつ低消費電力な出力回路を備えた半導体装置を提供する。

【構成】 各出力回路部1は複数個並列に接続されている。特性変動量検出回路2は、各出力回路部1を構成する素子の特性変動量を検出する。補正制御回路3は、特性変動量検出回路2の検出結果に基づいて、動作する出力回路部1の数を制御する。従って、各出力回路部1を構成する素子の特性変動量に従って、動作する出力回路部1の数が制御される。そのため、各出力回路部1の出力電流の総和は、各出力回路部1を構成する素子の特性変動に関係なく一定になる。その結果、素子の特性変動に関係なく常に理想的な出力電流特性を得ることができ、過大な出力電流が流れることによって発生するノイズを低減することができる。また、各出力回路部1の信号遅延時間を調整することにより、スルーレート制御が可能になる。

請求項3に記載の発明の原理説明図



【特許請求の範囲】

【請求項1】 CMOSインバータ(52)と、電圧の異なる複数の高電位側電源(VDD1, VDD2)と前記CMOSインバータ(52)との間に接続された各MOSトランジスタ(53, 54)と、その各MOSトランジスタ(53, 54)の内いずれか1つだけをオンさせる制御回路(55)とを備えたことを特徴とする半導体装置。

【請求項2】 電圧の異なる複数の高電位側電源(VDD1, VDD2)に接続された各PMOSTランジスタ(66, 67)と、その各PMOSTランジスタ(66, 67)とドレイン同志が接続されたNMOSTランジスタ(68)と、前記各PMOSTランジスタ(66, 67)のゲートに対応する高電位側電源(VDD1, VDD2)側へプルアップする各プルアップ抵抗(64, 65)と、前記各PMOSTランジスタ(66, 67)の内いずれか1つのトランジスタのゲートを選択し、前記NMOSTランジスタ(68)のゲートと接続する選択接続手段(55, 62, 63)とを備えたことを特徴とする半導体装置。

【請求項3】 複数個並列に接続された各出力回路部(1)と、その各出力回路部(1)を構成する素子の特性変動量を検出する特性変動量検出回路(2)と、その特性変動量検出回路(2)の検出結果に基づいて、動作する前記出力回路部(1)の数を制御する補正制御回路(3)とを備えたことを特徴とする半導体装置。

【請求項4】 請求項3に記載の半導体装置において、前記各出力回路部(1)の信号遅延時間をそれぞれ異なる値に設定したことを特徴とする半導体装置。

【請求項5】 請求項3に記載の半導体装置において、前記特性変動量検出回路(2)は、負荷の異なる2つのディレイチェーン(83, 84)と、その各ディレイチェーン(83, 84)の信号遅延時間差を検出し、その信号遅延時間差をパルス幅に変換する遅延時間検出回路(85)と、その遅延時間検出回路(85)によって変換されたパルス幅を、クロック(CK0)によってカウントすることで符号化する符号化回路(81)とを備え、前記補正制御回路(3)は、前記符号化回路(81)によって符号化された信号(CS)を復号化し、それに対応する前記出力回路部(1)を選択して動作させることを特徴とする半導体装置。

【請求項6】 請求項4に記載の半導体装置において、前記各ディレイチェーン(83, 84)は、同じ数だけカスケード接続された同じトランジスタサイズの複数のCMOSインバータ(95)によって構成され、一方のディレイチェーン(84)には、当該各CMOSインバ

ータ(95)の出力に容量性負荷(C)が設けられていることを特徴とする半導体装置。

【請求項7】 入力回路(11)とレベルコンバート回路(12)と出力回路(13)とを備え、複数個並列に接続された各インターフェース(14)と、その各インターフェース(14)を制御するレジスタ(15)とを備えたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置に係り、詳しくは、出力回路を備えた半導体装置に関するものである。

【0002】近年、半導体装置においては、さらなる高性能化・多機能化・低消費電力化が要求されている。それに対応するため、より高性能で多機能かつ低消費電力な出力回路が求められている。

【0003】

【従来の技術】半導体装置の多機能化および低消費電力化に伴い、動作レベルの異なる複数の回路を混在させて1つの装置を構成する例が増えている。

【0004】動作レベルの異なる回路を接続するには、レベル変換を行うインターフェースを設ける必要があるが、このインターフェースを、①独立した回路とする方法と、②出力回路にインターフェース機能をもたせる方法とがある。

【0005】①の方法では、従来、動作レベル(変換レベル)の異なる複数のインターフェースを予め設けておき、必要な動作レベルのインターフェースを選択して使用している。

【0006】従って、半導体装置の高性能化および多機能化により転送回路数(チャネル数)が増加すると、動作レベルの異なるインターフェースがそれぞれ転送回路数分だけ必要になる。しかし、転送回路の全てを使用するわけではないため、転送回路数の増加に伴って、使用しないインターフェースの数も増加する。すると、その使用しないインターフェースの分だけ、消費電力が増大することになる。また、使用しないインターフェースが形成されている領域分だけチップ面積が増加するため、半導体装置の高集積化が阻害されることにもなる。

【0007】さらに、半導体装置の高性能化および多機能化により、1つの装置内に3つ以上の動作レベルが混在する例が増えているが、その場合には、上記問題がより顕著に現れることになる。

【0008】一方、②の方法でも、従来、動作レベル(出力レベル)の異なる複数の出力回路を予め設けておき、必要な動作レベルの出力回路を選択して使用している。具体的には、電源電圧の異なる複数のCMOSインバータを予め設けておく。そして、必要な出力レベルに対応する電源電圧のCMOSインバータを選択し、出力回路として使用する。従って、②の方法でも、①の方法

における上記問題と同様の問題が生じることになる。

【0009】また、半導体装置の高性能化により、動作速度を速く（動作周波数を高く）する必要がでてきた。それに対応するため、①の方法では駆動能力の高いインターフェースが、②の方法では駆動能力の高い出力回路が、それぞれ必要になる。ところで、インターフェースにおいても、駆動能力を決定するのはその出力部であり、一般に当該出力部はCMOSインバータによって構成されている。そのため、①の方法においても、②の方法と同様に、駆動能力の高い出力回路が必要なことに変わりはない。

【0010】しかし、出力回路の駆動能力をいたずらに高めることは、装置の誤動作を引き起こすことにつながる。すなわち、出力回路の駆動能力が高くなって短時間に過大な出力電流が流れると、グランド（低電位側電源）レベルが変動することによるノイズが発生する。このノイズは、出力回路数の増加に伴って増大するため、上記のように転送回路数が増加すると、極めて大きくなって装置の誤動作の原因になる。

【0011】また、一般に、出力回路は、製造プロセスのばらつきや温度条件によるトランジスタの特性変動を考慮して、IOLの規格（出力電流の最低値の規格）に対し、かなりの余裕をもって作られている。つまり、出力回路は、トランジスタの特性変動により特性が悪くなった場合でも、IOLの規格以上の出力電流が得られるように作られている。そのため、トランジスタの特性変動がない場合（通常特性の場合）や特性変動により特性が良くなった場合には、必要以上に大きな出力電流が流れることになる。すると、上記ノイズの問題がより顕著に現れることになる。

【0012】

【発明が解決しようとする課題】このように、半導体装置の高性能化・多機能化・低消費電力化により、出力回路においては、上記各問題が顕在化している。

【0013】本発明は上記問題点を解決するためになされたものであって、その目的は、高性能で多機能かつ低消費電力な出力回路を備えた半導体装置を提供することにある。

【0014】

【課題を解決するための手段】請求項1に記載の発明は、CMOSインバータと、電圧の異なる複数の高電位側電源と前記CMOSインバータとの間に接続された各MOSトランジスタと、その各MOSトランジスタの内いずれか1つだけをオンさせる制御回路とを備えたことをその要旨とする。

【0015】請求項2に記載の発明は、電圧の異なる複数の高電位側電源に接続された各PMOSトランジスタと、その各PMOSトランジスタとドレイン同志が接続されたNMOSトランジスタと、前記各PMOSトランジスタのゲートに対応する高電位側電源側へプルアップ

する各プルアップ抵抗と、前記各PMOSトランジスタの内いずれか1つのトランジスタのゲートを選択し、前記NMOSトランジスタのゲートと接続する選択接続手段とを備えたことをその要旨とする。

【0016】図1は、請求項3に記載の発明の原理説明図である。各出力回路部1は複数個並列に接続されている。特性変動量検出回路2は、各出力回路部1を構成する素子の特性変動量を検出する。補正制御回路3は、特性変動量検出回路2の検出結果に基づいて、動作する出力回路部1の数を制御する。

【0017】請求項4に記載の発明では、その各出力回路部1の信号遅延時間がそれぞれ異なる値に設定されている。図2は、請求項7に記載の発明の原理説明図である。

【0018】各インターフェース14は、入力回路11とレベルコンバート回路12と出力回路13とを備えている。そして、複数の各インターフェース14が並列に接続されている。レジスタ15は、その各インターフェース14を制御する。

【0019】

【作用】従って、請求項1に記載の発明によれば、制御回路が1つMOSトランジスタをオンさせることにより、そのMOSトランジスタを介してCMOSインバータへ、1つの高電位側電源の電圧が供給される。そのため、CMOSインバータはその高電位側電源電圧を出力レベルとする出力回路として機能する。

【0020】請求項2に記載の発明によれば、選択接続手段が、1つのPMOSトランジスタのゲートを選択し、NMOSトランジスタのゲートと接続することにより、CMOSインバータが構成される。そのCMOSインバータには、PMOSトランジスタが接続されている高電位側電源の電圧が供給される。そのため、当該CMOSインバータは、その高電位側電源電圧を出力レベルとする出力回路として機能する。

【0021】請求項3に記載の発明によれば、各出力回路部1を構成する素子の特性変動量に従って、動作する出力回路部1の数が制御される。そのため、各出力回路部1の出力電流の総和は、各出力回路部1を構成する素子の特性変動に関係なく一定になる。その結果、素子の特性変動に関係なく常に理想的な出力電流特性を得ることができ、過大な出力電流が流れることによって発生するノイズを低減することができる。

【0022】また、請求項4に記載の発明では、その各出力回路部1の信号遅延時間がそれぞれ異なる値に設定されているため、その信号遅延時間を調整することにより、スルーレート制御が可能になる。

【0023】請求項7に記載の発明によれば、レジスタ15によって各インターフェース14を制御し、各インターフェース14を並列駆動したり、各インターフェース14の内部回路11～13の制御を行ったりすること

で、高性能で多機能かつ低消費電力な出力回路を備えた半導体装置を提供することができる。

【0024】

【実施例】（第1実施例）以下、請求項1に記載の発明を具体化した第1実施例を図3に従って説明する。

【0025】本実施例の出力回路51は、CMOSインバータ52と各PMOSTランジスタ53、54とコントロールデコーダ55とから構成されている。コントロールデコーダ55は、コントロール信号をデコードして相補性の各制御信号CNT1、CNT2を生成する。尚、コントロール信号は、回路内部または外部から送られてくる。

【0026】PMOSTランジスタ53のソースは高電位側電源VDD1に接続され、PMOSTランジスタ54のソースは高電位側電源VDD2に接続されている。また、PMOSTランジスタ53のゲートには制御信号CNT1が印加され、PMOSTランジスタ54のゲートには制御信号CNT2が印加されている。そして、各トランジスタ53、54のドレインは、CMOSインバータ52を構成するPMOSTランジスタ52aのソースに接続されている。尚、高電位側電源電圧VDD1は高電位側電源電圧VDD2より高く設定されている（ $VDD1 > VDD2$ ）。また、CMOSインバータ52を構成するNMOSTランジスタ52aのソースは低電位側電源VSS（グランド）に接続されている。

【0027】そして、回路の内部信号はCMOSインバータ52を介して外部へ出力される。従って、制御信号CNT1がHレベルで制御信号CNT2がLレベルの場合、PMOSTランジスタ53はオフでPMOSTランジスタ54はオンになる。すると、CMOSインバータ52へは、PMOSTランジスタ54を介して高電位側電源電圧VDD2が供給される。そのため、CMOSインバータ52の出力レベルすなわち出力回路51の出力レベルは、高電位側電源電圧VDD2に対応したものになる。

【0028】反対に、制御信号CNT2がHレベルで制御信号CNT1がLレベルの場合、出力回路51の出力レベルは高電位側電源電圧VDD1に対応したものになる。このように、本実施例の出力回路51においては、コントロールデコーダ55から適宜なレベルの相補性の各制御信号CNT1、CNT2が生成されることにより、出力回路51の出力レベルを各電源電圧VDD1、VDD2に対応したものに切り換えることができる。すなわち、本実施例によれば、1つの出力回路51で2つの出力レベル（各電源電圧VDD1、VDD2）を得ることができる。

【0029】一方、従来の出力回路は、電源電圧が固定されたCMOSインバータによって構成され、1つの出力回路で1つの出力レベルしか得ることができない。従って、本実施例によれば、従来に比べて出力回路の数を減らすことができる。また、2つの出力レベルを得ることができるという点において、本実施例の出力回路51は従来の出力回路に比べて多機能化および高性能化して

いるといえる。

【0030】ちなみに、各制御信号CNT1、CNT2をクリップして使用すれば、本実施例の出力回路51は従来の出力回路と同様に単一の出力レベルしか得ることができなくなる。その場合、本実施例の出力回路51を備えた回路は、レベル変換回路内蔵の回路として機能することになる。

【0031】（第2実施例）ところで、上記の出力回路51では、高電位側電源電圧VDD1が高電位側電源電圧VDD2より高く設定されている（ $VDD1 > VDD2$ ）。そのため、内部の回路の動作レベルが高電位側電源電圧VDD2に対応したものである場合（内部信号のHレベル=VDD2の場合）、PMOSTランジスタ53がオンしてCMOSインバータ52へ高電位側電源電圧VDD1が供給されると、CMOSインバータ52の各トランジスタ52a、52bが共にオンしてしまう。すると、高電位側電源VDD1→PMOSTランジスタ53→CMOSインバータ52→低電位側電源VSSの経路で貫通電流が流れることになる。つまり、出力回路51は、内部の回路の動作レベルより高い動作レベルの外部回路に接続される場合（内部信号のHレベル=VDD2で、出力レベル=VDD1の場合）、上記貫通電流によって消費電力が大きくなるという問題がある。

【0032】請求項2に記載の発明はこの問題を解決するためになされたものである。以下、請求項2に記載の発明を具体化した第2実施例を図4に従って説明する。尚、本実施例において、図3に示す出力回路51と同じ構成部品については符号を等しくしてその詳細な説明を省略する。

【0033】本実施例の出力回路61は、コントロールデコーダ55と各トランスミッションゲート62、63と各プルアップ用抵抗64、65と各PMOSTランジスタ66、67とNMOSTランジスタ68とから構成されている。

【0034】PMOSTランジスタ66のソースは高電位側電源VDD1に接続され、PMOSTランジスタ67のソースは高電位側電源VDD2に接続されている。また、PMOSTランジスタ66のゲートはプルアップ用抵抗64によって高電位側電源VDD1へプルアップされ、PMOSTランジスタ67のゲートはプルアップ用抵抗65によって高電位側電源VDD2へプルアップされている。そして、各トランジスタ66、67のドレインは、NMOSTランジスタ68のドレインに接続され、この各トランジスタ66～68のドレインから出力回路61の出力が得られるようになっている。NMOSTランジスタ68のソースは低電位側電源VSS（グランド）に接続されており、ゲートには内部信号が印加される。また、各トランジスタ66、67のゲートには各トランスミッションゲート62、63を介して内部信号が印加される。

【0035】そして、各トランスミッションゲート62, 63は各制御信号CNT1, CNT2によってオン・オフが制御される。例えば、制御信号CNT2がHレベルで制御信号CNT1がLレベルの場合、トランスミッションゲート62はオンでトランスミッションゲート63はオフになる。すると、内部信号は、NMOSトランジスタ68のゲートに印加されると共に、トランスミッションゲート62を介してPMOSトランジスタ66のゲートに印加される。つまり、各トランジスタ66, 68によってCMOSインバータが構成される。そのため、内部信号はそのCMOSインバータを介して外部へ出力される。ここで、PMOSトランジスタ66のソースは高電位側電源VDD1に接続されているため、そのCMOSインバータの出力レベルすなわち出力回路61の出力レベルは、高電位側電源VDD1に対応したものになる。

【0036】このとき、内部の回路の動作レベルが高電位側電源電圧VDD2に対応したものである場合（内部信号のHレベル＝VDD2の場合）、内部信号がHレベルになると、PMOSトランジスタ66のゲートはプルアップ用抵抗64によって高電位側電源VDD1へプルアップされ、PMOSトランジスタ66はオフする。一方、PMOSトランジスタ68はオンする。そのため、高電位側電源VDD1から低電位側電源VSSへ貫通電流が流れることはない。

【0037】すなわち、本実施例の出力回路61によれば、内部の回路の動作レベルより高い動作レベルの外部回路に接続される場合（内部信号のHレベル＝VDD2で、出力レベル＝VDD1の場合）でも、前記出力回路51のような貫通電流は流れない。従って、本実施例の出力回路61は、出力回路51に比べて消費電力が少なくなる。

【0038】反対に、制御信号CNT1がHレベルで制御信号CNT2がLレベルの場合、トランスミッションゲート63はオンでトランスミッションゲート62はオフになる。すると、内部信号は、NMOSトランジスタ68のゲートに印加されると共に、トランスミッションゲート63を介してPMOSトランジスタ67のゲートに印加される。つまり、各トランジスタ67, 68によってCMOSインバータが構成される。そのため、内部信号はそのCMOSインバータを介して外部へ出力される。ここで、PMOSトランジスタ67のソースは高電位側電源VDD2に接続されているため、そのCMOSインバータの出力レベルすなわち出力回路61の出力レベルは、高電位側電源VDD2に対応したものになる。

【0039】このように、本実施例の出力回路61においても、コントロールデコード55から適宜なレベルの相補性の各制御信号CNT1, CNT2が生成されることにより、出力回路61の出力レベルを各電源電圧VDD1, VDD2に対応したものに切り換えることができる。すなわち、本実施例によれば、1つの出力回路61で2つの出

力レベル（各電源電圧VDD1, VDD2）を得ることができる。

【0040】従って、本実施例の出力回路61によれば、出力回路51と同様の効果を得ることができる。

（第3実施例）以下、請求項3に記載の発明を具体化した第3実施例を図5～図10に従って説明する。

【0041】図5は、本実施例の出力回路のブロック回路図である。本実施例の出力回路81は、パルス発生回路82と各ディレイチェーン83, 84と遅延時間検出回路85と符号化回路86と補正制御回路87と各補助出力回路部88a～88nと正規の出力回路部89とから構成されている。

【0042】パルス発生回路82は、各ディレイチェーン83, 84へ出力する信号DSおよび符号化回路86へ出力するクロックCK0を生成する。各ディレイチェーン83, 84は、信号DSを遅延させて遅延時間検出回路85へ出力する。

【0043】後記するように、各ディレイチェーン83, 84は、同じ数だけカスケード接続された同じトランジスタサイズの複数のCMOSインバータによって構成されている。但し、ディレイチェーン84の方には、各CMOSインバータの出力に容量性負荷が設けられている。従って、ディレイチェーン84の方がディレイチェーン83に比べて負荷が大きくなっている。

【0044】ところで、CMOSインバータの負荷駆動能力は、CMOSインバータを構成するトランジスタの特性によって左右される。つまり、トランジスタの特性が良くなる程、CMOSインバータの負荷駆動能力は高くなる。そして、CMOSインバータの負荷駆動能力が高くなる程、そのCMOSインバータの信号遅延時間は短くなる。そのため、製造プロセスのばらつきや温度条件によりトランジスタの特性が悪化すると、CMOSインバータの負荷駆動能力は低下し、そのCMOSインバータの信号遅延時間は長くなる。また、トランジスタの特性が悪くなる程、CMOSインバータの信号遅延時間に対する負荷の影響は大きくなる。そのため、トランジスタの特性が悪化すると、負荷の大きなCMOSインバータ程、信号遅延時間が長くなる。

【0045】各ディレイチェーン83, 84についてみると、ディレイチェーン84の方がディレイチェーン83に比べて負荷が大きくなっている。そのため、各ディレイチェーン83, 84の信号遅延時間を同じにするには、ディレイチェーン84を構成する各CMOSインバータの負荷駆動能力を、ディレイチェーン83のそれに比べて高くしないとイケない。しかし、各ディレイチェーン83, 84は、同じトランジスタサイズのCMOSインバータによって構成されている。そのため、負荷の大きな分だけ、ディレイチェーン84の方がディレイチェーン83に比べて信号遅延時間が長くなる。さらに、トランジスタの特性変動による信号遅延時間の変化は、

負荷の大きな分だけ、ディレイチェーン84の方がディレイチェーン83に比べて大きくなる。つまり、トランジスタの特性が悪化すると、各ディレイチェーン83、84の信号遅延時間は共に長くなるが、ディレイチェーン84の信号遅延時間の増加の方がディレイチェーン83のそれに比べて大きくなる。

【0046】このように各ディレイチェーン83、84の信号遅延時間には元々差がある上に、その遅延時間差はトランジスタの特性が悪くなるほど開くことになる。遅延時間検出回路85は、各ディレイチェーン83、84から出力される各信号DSに基づき、上記の原因で生じる各ディレイチェーン83、84の遅延時間差を検出してパルス幅に変換し、そのパルス幅に変換された信号PSを出力する。

【0047】符号化回路86は、そのパルス幅に変換された信号PSを、パルス発生回路82からのクロックCK0によってカウントすることで符号化し、符号化された信号CSを生成する。

【0048】補正制御回路87は、その符号化された信号CSをデコードし、その信号CSに対応する補助出力回路部88a~88nを選択して動作させる。各補助出力回路部88a~88nは、正規の出力回路部89と同じ回路構成であり、正規の出力回路部89と並列に接続されている。そして、回路の内部信号は、各出力回路部89、88a~88nを介して外部へ出力される。従って、各出力回路部89、88a~88nの出力電流の総和が、出力回路81の出力電流になる。尚、正規の出力回路部89の出力電流は、正規の出力回路部89を構成するトランジスタが通常特性の場合に、IOLの規格ぎりぎりになるように定められている。

【0049】次に、このように構成された本実施例の動作を説明する。各ディレイチェーン83、84および各出力回路部89、88a~88nは、チップ上において近傍に形成されている。そのため、製造プロセスのばらつきや温度条件により、正規の出力回路部89を構成するトランジスタの特性が変動すると、各ディレイチェーン83、84を構成するトランジスタも同じように特性が変動する。

【0050】そのトランジスタの特性変動に対応して各ディレイチェーン83、84の遅延時間差が変化するが、前記したように、その遅延時間差はトランジスタの特性が悪くなるほど大きくなる。

【0051】遅延時間検出回路85は、各ディレイチェーン83、84の遅延時間差を検出してパルス幅に変換する。そのパルス幅は、符号化回路86によって符号化される。補正制御回路87は、その符号化された信号CSをデコードし、その信号CSに対応する補助出力回路部88a~88nを選択して動作させる。

【0052】従って、トランジスタの特性が悪化して各ディレイチェーン83、84の遅延時間差が大きくなる

程、動作する補助出力回路部88a~88nの数が多くなる。

【0053】トランジスタの特性が悪化すると、正規の出力回路部89の出力電流は小さくなる。正規の出力回路部89の出力電流は、正規の出力回路部89を構成するトランジスタが通常特性の場合に、IOLの規格ぎりぎりになるように定められている。そのため、トランジスタの特性が悪化すると、正規の出力回路部89の出力電流は、IOLの規格を割ることになる。

【0054】しかし、トランジスタの特性が悪くなる程、動作する補助出力回路部88a~88nの数が多くなるため、正規の出力回路部89の出力電流の減少分が補われる。従って、出力回路81の出力電流は、トランジスタの特性が悪化しても、常にIOLの規格ぎりぎりには保たれる。

【0055】その結果、トランジスタの特性が悪化した場合でも、過大な出力電流が流れてグランド（低電位側電源）レベルが変動することによるノイズの発生は、最小限に抑えられる。

【0056】反対に、トランジスタの特性が通常特性以上に良くなると、補助出力回路部88a~88nは動作しなくなる。従って、トランジスタが通常特性の場合、正規の出力回路部89の出力電流が出力回路81の出力電流となり、IOLの規格ぎりぎりになる。そのため、トランジスタが通常特性の場合も、上記ノイズの発生は最小限に抑えられる。

【0057】尚、トランジスタの特性が通常より良くなると、正規の出力回路部89の出力電流がIOLの規格以上になる。しかし、正規の出力回路部89の出力電流は、正規の出力回路部89を構成するトランジスタが通常特性の場合に、IOLの規格ぎりぎりになるように定められている。そのため、トランジスタの特性が通常より良くなったとしても、正規の出力回路部89の出力電流の増加分はごくわずかである。

【0058】一方、従来の出力回路では、前記したように、トランジスタが通常特性の場合でもIOLの規格以上の出力電流が流れるように作られている。そのため、従来の出力回路では、トランジスタの特性が通常より良くなると、極めて大きな出力電流が流れることになる。

【0059】従って、トランジスタの特性が通常より良くなった場合でも、本実施例の出力回路81の出力電流の方が従来の出力回路のそれに比べて小さくなる。そのため、トランジスタの特性が通常より良くなった場合でも、本実施例の出力回路81の方が従来の出力回路に比べて、上記ノイズの発生を低く抑えることができる。

【0060】このように、本実施例の出力回路81においては、各出力回路部89、88a~88nを構成するトランジスタの特性変動を、各ディレイチェーン83、84および遅延時間検出回路85によって検出している。そして、符号化回路86および補正制御回路87に

より、そのトランジスタの特性変動に応じて、動作する補助出力回路部88a~88nの数を制御している。

【0061】その結果、出力回路81の出力電流は、トランジスタの特性が悪化した場合や通常特性の場合にはIOLの規格ぎりぎりに保たれ、上記ノイズの発生は最小限に抑えられる。また、トランジスタの特性が通常より良くなった場合でも、上記ノイズの発生を低く抑えることができる。

【0062】つまり、本実施例によれば、製造プロセスのばらつきや温度条件によるトランジスタの特性変動に関係なく、常に理想的な出力電流特性を得ることができ、過大な出力電流が流れることによって発生するノイズを低減することができる。

【0063】ところで、本実施例において、各補助出力回路部88a~88nの信号遅延時間を、正規の出力回路部89の信号遅延時間より長くすることにより、出力回路81のスルーレート特性を変化させることができる。つまり、各補助出力回路部88a~88nの信号遅延時間を調整することにより、スルーレート制御を行うことができる。

【0064】次に、上記の実施例をゲートレベルまで具体化した一実施例を、図6~図9に従って説明する。尚、ここでは、4つの補助出力回路部88a~88dを設けた例をあげる。

【0065】図6は、パルス発生回路82と各ディレイチェーン83、84と遅延時間検出回路85および符号化回路86を、ゲートレベルまで具体化した回路図である。パルス発生回路82は、NOR91とインバータ92と4ビットカウンタ93とDRフリップフロップ94とから構成されている公知のリングオシレータである。このパルス発生回路82は、外部からのテスト信号TSTに従って動作し、各ディレイチェーン83、84へ出力する信号DSおよびクロックCK0を生成する。各ディレイチェーン83、84は、同じ数だけカスケード接続された同じトランジスタサイズの複数のCMOSインバータ95によって構成されている。但し、ディレイチェーン84の各CMOSインバータの出力には、容量性負荷Cが設けられている。遅延時間検出回路85は、インバータ96とEx-NOR97とから構成されている。符号化回路86は、各NOR98、99と各4ビットカウンタ100、101と各4ビットDフリップフロップ102、103とから構成されている。そして、各Dフリップフロップ102、103から、前記符号化された信号CSとしての各信号P1~P4、N1~N4が出力される。

【0066】図7および図8は、補正制御回路87をゲートレベルまで具体化した回路図である。補正制御回路87は、NOR104~107とインバータ108~111とNAND112~115とから構成されている。そして、補正制御回路87は、符号化回路86からの各信号P1~P4、N1~N4から各制御信号L1a~L4a、H1a~

H4a、L1b~L4b、H1b~H4bを生成する。

【0067】図9は、各補助出力回路部88a~88dおよび正規の出力回路部89をゲートレベルまで具体化した回路図である。各補助出力回路部88a~88dは、各CMOSインバータ116と各NOR117、118とから構成されている。その各NOR117には、補正制御回路87からの各制御信号L1a~L4a、H1a~H4aが入力されている。また、NOR118には、補正制御回路87からの各制御信号L1b~L4b、H1b~H4bが入力されている。正規の出力回路部89は、各補助出力回路部88a~88dを構成するCMOSインバータ116と同じトランジスタサイズのCMOSインバータ116とインバータ119とから構成されている。各補助出力回路部88a~88dは、正規の出力回路部89と並列に接続されている。そして、回路の内部信号は、各出力回路部89、88a~88dを介して外部へ出力される。

【0068】尚、図6~図9に示した各回路（パルス発生回路82、各ディレイチェーン83、84、遅延時間検出回路85、符号化回路86、補正制御回路87、各補助出力回路部88a~88d、正規の出力回路部89）はそれぞれ一般的なものであり、その動作は公知であるため、ここでは説明を省略する。

【0069】図10は、前記のスルーレート制御を行うために、各補助出力回路部88a~88dの信号遅延時間を、正規の出力回路部89の信号遅延時間より長くした実施例の回路図である。各補助出力回路部88a~88dの入力信号線に、信号遅延回路120が設けられている。

【0070】（第4実施例）以下、請求項7に記載の発明を具体化した第4実施例を図11に従って説明する。

【0071】本実施例の出力回路201は、n個のCMOSインバータ202a~202αとn個のPMOSTランジスタ203a~203αと各インバータ204とレジスタ205とから構成されている。

【0072】各CMOSインバータ202a~202αは並列に接続されており、回路の内部信号は各CMOSインバータ202a~202αを介して外部へ出力される。各CMOSインバータ202a~202αを構成するPMOSTランジスタのソースは、各PMOSTランジスタ203a~203αを介して各高電位側電源VDD1~VDDnに接続されている。その各PMOSTランジスタ203a~203αのゲートには、それぞれインバータ204を介してレジスタ205のデータQ1~Qnが入力される。そのレジスタ205の各データQ1~Qnは、いずれか1つのデータだけがHレベルで、他のデータは全てLレベルになっている。また、各CMOSインバータ202a~202αを構成するNMOSTランジスタのソースは、低電位側電源としてのグラウンドラインに接続されている。

【0073】従って、例えば、レジスタ205のデータQ1～Qnの内、データQ2だけがHレベルで他のデータQ0, Q1, Q3～QnがLレベルの場合、データQ2に対応したPMOSTランジスタ203bだけがオンする。すると、そのPMOSTランジスタ203bを介して、CMOSインバータ202bへ高電位側電源電圧VDD2が供給される。このとき、他のCMOSインバータ202a～202αへは高電位側電源電圧VDD1～VDDnが供給されない。そのため、出力回路201の出力レベルは、高電位側電源電圧VDD2に対応したものになる。

【0074】このように、本実施例の出力回路201においては、各CMOSインバータ202a～202αの内、レジスタ205のデータQ1～Qnに対応した1つのCMOSインバータだけに対応する高電位側電源電圧VDD1～VDDnが供給される。従って、レジスタ205のデータQ1～Qnを適宜に設定することにより、出力回路201の出力レベルを各電源電圧VDD1～VDDnに対応したものに切り換えることができる。すなわち、本実施例によれば、1つの出力回路201でn個の出力レベル（電源電圧VDD1～VDDn）を得ることができる。

【0075】一方、従来の出力回路は、電源電圧が固定されたCMOSインバータによって構成され、1つの出力回路で1つの出力レベルしか得ることができない。従って、本実施例によれば、従来に比べて出力回路の数を減らすことができる。また、n個の出力レベルを得ることができるという点において、本実施例の出力回路201は従来の出力回路に比べて多機能化および高性能化しているといえる。

【0076】（第5実施例）以下、請求項7に記載の発明を具体化した第5実施例を図12～図14に従って説明する。

【0077】図12は、本実施例のインターフェースの回路図である。また、図13は、従来のインターフェースの回路図である。図13に示すように、従来のインターフェース221は、入力回路222とレベルコンバート回路223と出力回路224とから構成されている。

【0078】入力回路222はNAND225によって構成されている。レベルコンバート回路223は、各インバータ226～228とNMOSTランジスタ229, 230とPMOSTランジスタ231, 232とから構成されている。

【0079】出力回路224は、NAND233とNOR234とCMOSインバータ235と各インバータ236, 237とから構成されている。そのNAND225および各インバータ226, 227へは、高電位側電源VDD2から電源供給がなされている。また、NAND233と各インバータ228, 236, 237とNOR234とCMOSインバータ235とNMOSTランジスタ229, 230およびPMOSTランジスタ231, 232へは、高電位側電源VDD1から電源供給がな

されている。

【0080】そして、入力回路222のNAND225へは、入力端子238を介して入力信号DINが入力され、コントロール信号入力端子239を介して外部からのコントロール信号CTLが入力される。

【0081】入力回路222のNAND225の出力信号は、レベルコンバート回路223を介して出力回路224へ送られ、出力回路224のCMOSインバータ235から出力端子240を介し、出力信号DOUTとして出力される。

【0082】尚、出力回路224のインバータ237へも、コントロール信号入力端子239を介して外部からのコントロール信号CTLが入力される。このように構成されたインターフェース221は、高電位側電源電圧VDD2に対応するレベルの入力信号DINを、高電位側電源電圧VDD1に対応するレベルの出力信号DOUTに変換することができる。尚、このインターフェース221は一般的なものであるため、その構成および動作の詳細については説明を省略する。

【0083】図12に示すように、本実施例のインターフェース301は、従来のインターフェース221と追加出力回路302とレジスタ303とから構成されている。追加出力回路302は、NAND304とNOR305とCMOSインバータ306と各インバータ307, 308とNMOSTランジスタ309とPMOSTランジスタ310とから構成されている。その各ゲート304～310へは、高電位側電源VDD1から電源供給がなされている。

【0084】また、NAND305の入力側は、従来のインターフェース221の出力回路224のインバータ236の出力のノードCと、レベルコンバート回路223のインバータ228の出力のノードAとに接続されている。そして、NOR305の入力側は、出力回路224のインバータ237の出力のノードCに接続されている。

【0085】このインターフェース301の入出力はインターフェース221のそれと共通になっている。すなわち、インターフェース221の入力端子238とコントロール信号入力端子239および出力端子240が、インターフェース301の対応する端子として機能する。レジスタ303は、制御端子241に入力される外部からのデータCIに従って、インターフェース221および追加出力回路302の動作を制御する。つまり、インターフェース301は、入力回路222およびレベルコンバート回路223をインターフェース221と共用し、その入力回路222およびレベルコンバート回路223によって、各出力回路224, 302がパラレルに駆動されるインターフェースとして機能する。

【0086】従って、インターフェース301の出力端子240から得られる出力電流は、各出力回路224,

302の出力電流の和になる。その結果、本実施例のインターフェース301は、従来のインターフェース221に比べて出力電流が大きくなり、出力端子240に接続される外部回路に対する駆動能力を高めることができる。

【0087】この本実施例の効果は、追加出力回路302に加えて、同じ回路構成の追加出力回路311を設けることでさらに高めることができる。つまり、本実施例の要旨は、1組の入力回路222およびレベルコンパータ223によって、複数の追加出力回路302、311を同時に駆動させることにあり、特に、その駆動制御をレジスタ303によって行うことにある。これにより、本実施例では、従来のインターフェース221を単に複数個並列に設ける場合に比べ、小さな回路規模で高い駆動能力を得ることができる。

【0088】図14は、インターフェース221の出力回路224へ供給する高電位側電源電圧VDD1、VDD2をレジスタ303によって制御する動作を説明するための要部回路図である。

【0089】高電位側電源電圧VDD1が高電位側電源電圧VDD2以上で($VDD1 \geq VDD2$)、CMOSインバータ235およびNAND233へ高電位側電源電圧VDD2が供給され、NOR234へ高電位側電源電圧VDD2が供給されている場合を考えてみる。この場合に、出力端子240がLレベル(=0V)に固定され、高電位側電源VDD1がオフ(または0V)になると、CMOSインバータ235を構成する各MOSトランジスタ235a、235bが共にオンし、貫通電流が流れることができる。

【0090】このような場合には、レジスタ303によって、NAND233へ供給されるの電圧を高電位側電源電圧VDD1に変更することにより、PMOSトランジスタ235aをオン、NMOSトランジスタ235bをオフさせる。すると、矢印βに示すような電流パスを生じて、CMOSインバータ235には貫通電流が流れなくなる。従って、インターフェース221の消費電力は少なくなる。

【0091】尚、インターフェース301についても、上記と同様にして、追加出力回路302のCMOSインバータ306に生じる貫通電流を防止し、消費電力を小さくすることができる。

【0092】このように、レジスタ303を用いて、各インターフェース221、301内の各ゲートへ供給される高電位側電源電圧VDD1、VDD2を制御することにより、低消費電力化を図ることができる。

【0093】尚、本発明は上記実施例に限定されるものではなく、以下のように実施してもよい。

1) 図3に示す出力回路51および図4に示す出力回路61において、PMOSトランジスタ53、54、66、67をNMOSトランジスタに置き代える。但し、

その場合には、PMOSトランジスタ53、54、66、67のしきい値電圧分の電圧降下が生じるため、各出力回路51、61の出力レベルが各高電位側電源電圧VDD1、VDD2に達しなくなる。しかし、各出力回路51、61に要求される出力レベルおよびPMOSトランジスタ53、54、66、67のしきい値電圧に対応して、各高電位側電源電圧VDD1、VDD2を設定することにより、実用上は支障なく実施することができる。

【0094】2) 図3に示す出力回路51および図4に示す出力回路61において、2つの高電位側電源VDD1、VDD2を切り換えるのではなく、3つ以上の高電位側電源を切り換えるようにして、3つ以上の出力レベルを得られるようにする。

【0095】3) 図6に示すパルス発生回路82を、リングオシレータではなく他の発振回路に置き代える。また、図5に示す出力回路81において、パルス発生回路82を省略し、信号DSおよびクロックCK0を外から与えるようにする。

【0096】4) 図5に示す出力回路81において、正規の出力回路部89を複数個設け、トランジスタの特性が通常より良くなった場合には、動作する正規の出力回路部89の数を減らすように制御する。この場合は、トランジスタの特性が通常より良くなっても、出力回路81の出力電流をIOLの規格ぎりぎりに行うことができる。従って、出力回路81をより高性能にすることができる。

【0097】5) 図9に示す各出力回路部88a~88d、89をCMOSインバータ116ではなく、オープンドレイン型で構成する。

6) 第4実施例と第5実施例とを併用して実施する。この場合、各実施例の相乗効果により、より高性能なインターフェースを実現することができる。

【0098】

【発明の効果】以上詳述したように本発明によれば、高性能で多機能かつ低消費電力な出力回路を提供することができるという優れた効果がある。

【図面の簡単な説明】

【図1】請求項3に記載の発明の原理説明図である。

【図2】請求項7に記載の発明の原理説明図である。

【図3】請求項1に記載の発明を具体化した第1実施例の回路図である。

【図4】請求項2に記載の発明を具体化した第2実施例の回路図である。

【図5】請求項3に記載の発明を具体化した第3実施例のブロック回路図である。

【図6】第3実施例をゲートレベルまで具体化した一実施例の一部回路図である。

【図7】第3実施例をゲートレベルまで具体化した一実施例の一部回路図である。

【図8】第3実施例をゲートレベルまで具体化した一実

施例の一部回路図である。

【図9】第3実施例をゲートレベルまで具体化した一実施例の一部回路図である。

【図10】第3実施例をゲートレベルまで具体化した別の実施例の一部回路図である。

【図11】請求項7に記載の発明を具体化した第4実施例の回路図である。

【図12】請求項7に記載の発明を具体化した第5実施例の一部回路図である。

【図13】請求項7に記載の発明を具体化した第5実施例の一部回路図である。

【図14】請求項7に記載の発明を具体化した第5実施例の一部回路図である。

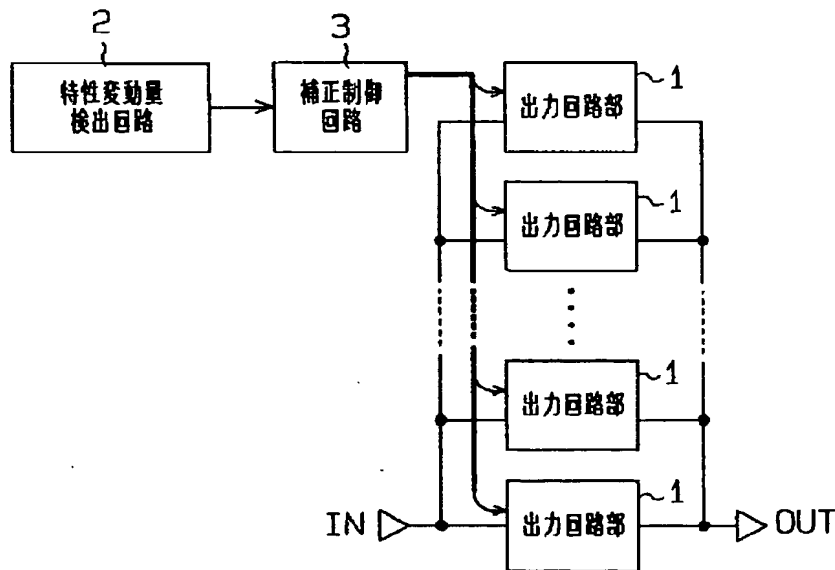
【符号の説明】

- 1 出力回路部
- 2 特性変動量検出回路
- 3 補正制御回路
- 11 入力回路

- 12 レベルコンバート回路
- 13 出力回路
- 14 インターフェース
- 15 レジスタ
- 52, 95 CMOSインバータ
- 53, 54, 66, 67 PMOSトランジスタ
- 55 制御回路および選択接続手段としてのコントロールデコーダ
- 68 NMOSトランジスタ
- 64, 65 プルアップ抵抗
- 62, 63 選択接続手段としてのトランスミッションゲート
- 83, 84 デレイチェーン
- 85 遅延時間検出回路
- 81 符号化回路
- C 容量性負荷
- VDD1, VDD2 高電位側電源

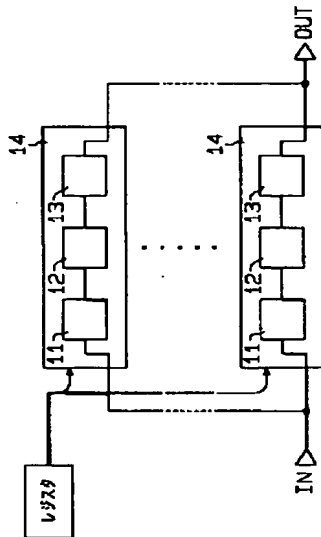
【図1】

請求項3に記載の発明の原理説明図



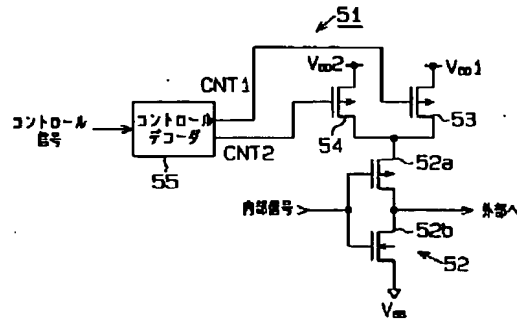
【図2】

請求項7に記載の発明の原理説明図



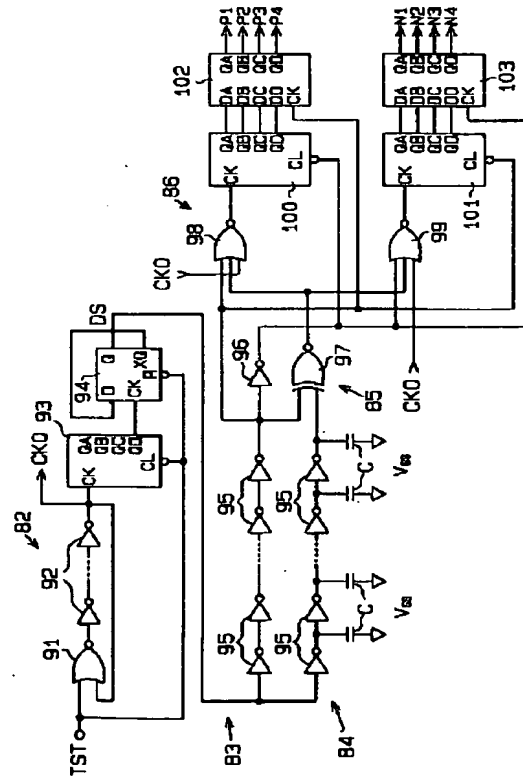
【図3】

請求項1に記載の発明を具体化した第1実施例の回路図



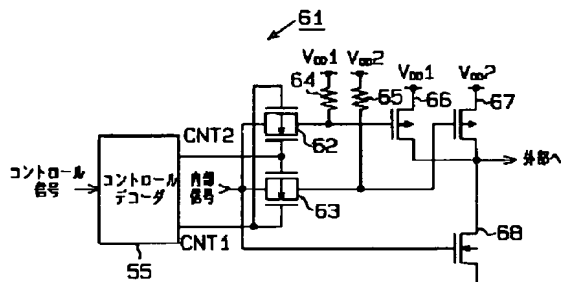
【図6】

第3実施例をゲートレベルまで具体化した一実施例の一部回路図



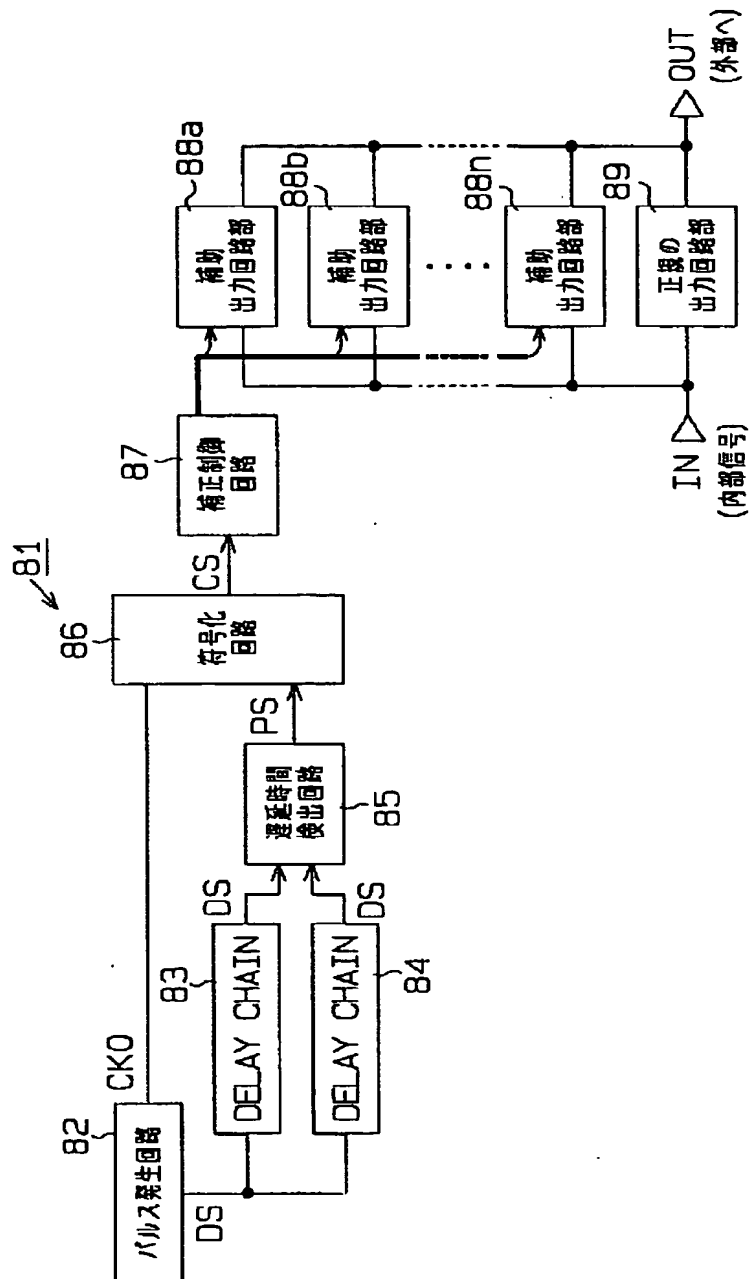
【図4】

請求項2に記載の発明を具体化した第2実施例の回路図



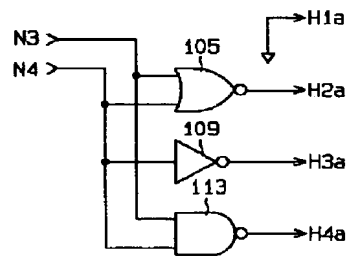
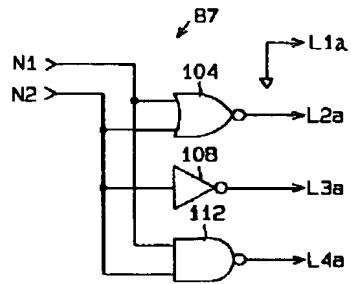
【図5】

請求項3に記載の発明を具体化した第3実施例のブロック回路図



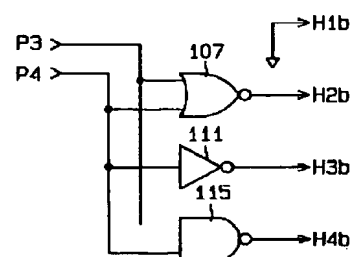
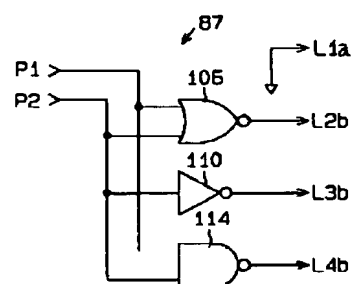
【図7】

図3実施例をゲートレベルまで具体化した一実施例の一部回路図



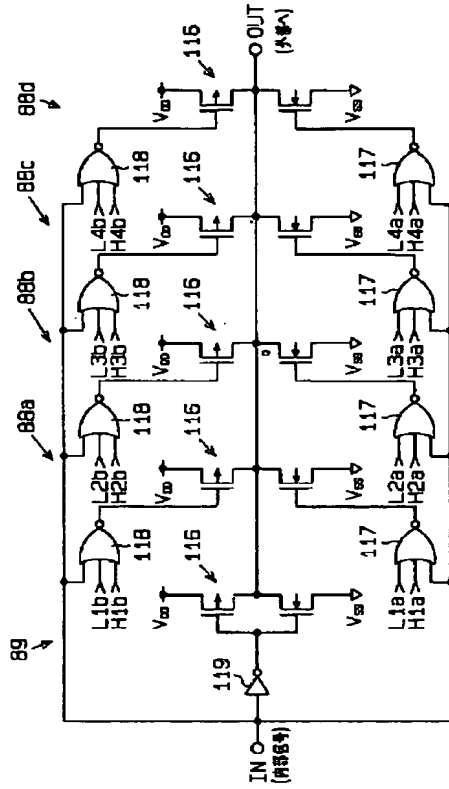
【図8】

図3実施例をゲートレベルまで具体化した一実施例の一部回路図



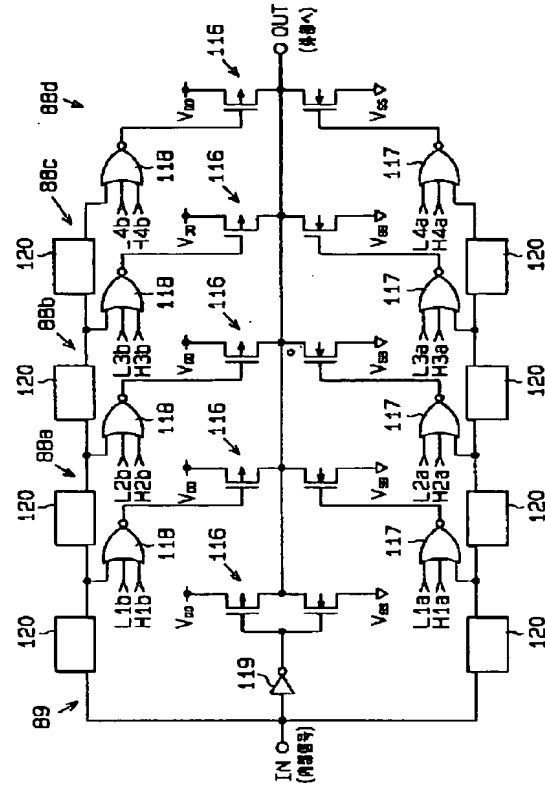
【図9】

第3実施例をゲートレベルまで具体化した一実施例の一部回路図



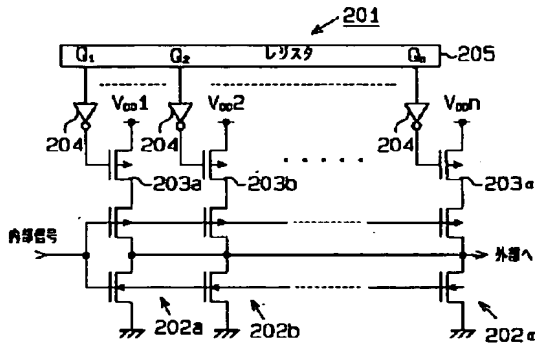
【図10】

第3実施例をゲートレベルまで具体化した別の実施例の一部回路図



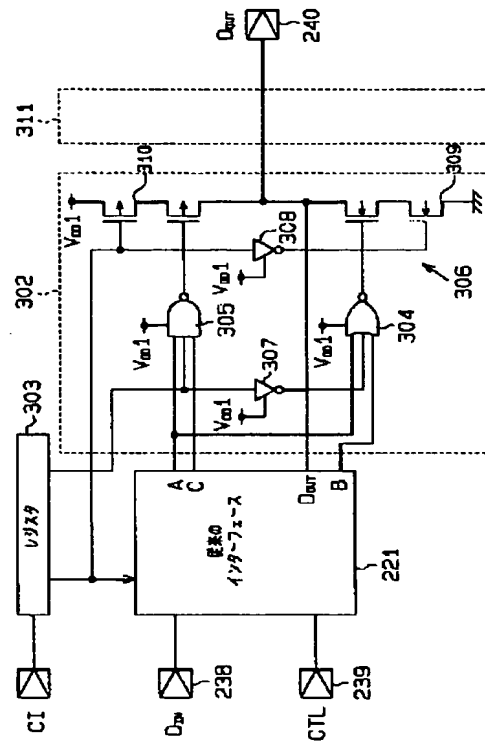
【図11】

請求項7に記載の発明を具体化した第4実施例の回路図



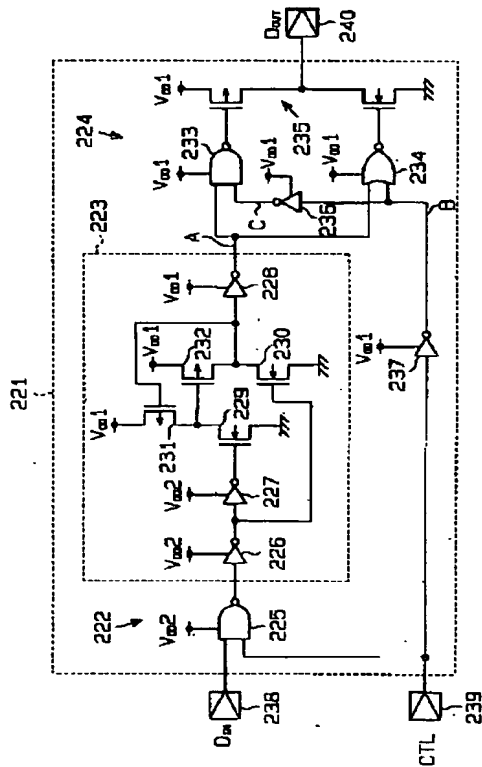
【図12】

請求項7に記載の発明を具体化した第5実施例の一部回路図



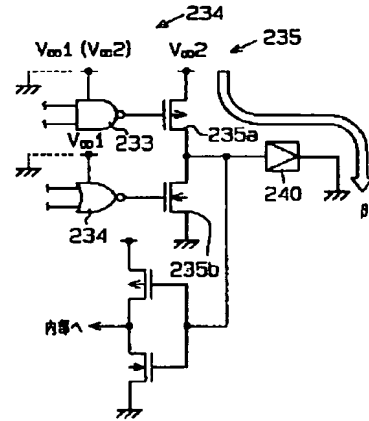
【図13】

図13は本発明の第5実施例の一部回路図



【図14】

図14は本発明の第5実施例の一部回路図



フロントページの続き

(51) Int. Cl. ⁶

H 0 3 H 11/28

H 0 3 K 17/16

19/0175

識別記号

庁内整理番号

8628-5 J

L 9184-5 J

F I

技術表示箇所

(72) 発明者 大野 和男

愛知県春日井市高蔵寺町2丁目1844番2

富士通ヴィエルエスアイ株式会社内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.